



(19) BUNDESREPUBLIK
DEUTSCHLAND

DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Offenlegungsschrift**
(10) **DE 198 22 512 A 1**

(5) Int. Cl. 6:
H 01 L 21/78
H 01 L 21/58
H 01 L 21/60
H 05 K 13/02

(21) Aktenzeichen: 198 22 512.1
(22) Anmeldetag: 19. 5. 98
(43) Offenlegungstag: 21. 10. 99

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

(71) Anmelder:
Siemens AG, 80333 München, DE

(72) Erfinder:
Tutsch, Günter, Dipl.-Ing., 93342 Saal, DE; Ferstl, Klemens, Dipl.-Ing., 93051 Regensburg, DE; Fischbach, Reinhard, Dipl.-Ing., 93049 Regensburg, DE; Merkl, Reinhold, Dipl.-Ing., Richmond, Va., US

(56) Entgegenhaltungen:

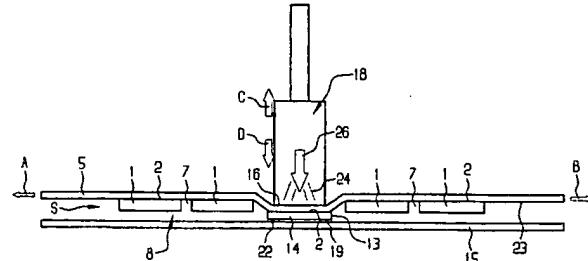
EP 07 34 824 A2
EP 05 65 781 A1
JP 05-2 67 451 A
JP 03-2 06 643 A
JP 64-81 336 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren zum Vereinzeln und Positionieren von Halbleiter-Bauteilen

(55) Die Bauteile (1) werden aus einer Wafer-Scheibe (S) vereinzelt, die mit einer Seite, bevorzugt ihrer Frontscheibe (2) lösbar auf einer Trägerfolie (5) aufgebracht ist. Die Wafer-Scheibe wird von der Rückseite (8) her vereinzelt z. B. gesägt. Die Trägerfolie (5) wird mit den Bauteilen (1) anschließend derart positioniert, daß sich zumindest ein Bauteil (13) über einem zugeordneten Bauteilträger (14) befindet. Das Bauteil (13) wird mit einem auf die Trägerfolie (5) wirkenden Stempel (18) auf den Bauteilträger (14) gedrückt.



Beschreibung

Die Erfindung liegt auf dem Gebiet der Endmontage von Halbleiter-Bauteilen und betrifft das Vereinzen und Positionieren derartiger Bauteile, insbesondere sog. ultradünne Halbleiter-Bauteile (chips), die aus einer Wafer-Scheibe mit einer sehr geringen Dicke von beispielsweise weniger als 150 µm hergestellt werden.

Derartige Halbleiter-Bauteile werden bekanntermaßen (EP-0 565 781 A1) zunächst gemeinsam auf einer Wafer-Scheibe ausgebildet und strukturiert. Erst anschließend werden die Bauteile zur individuellen Weiterverarbeitung und z. B. Bildung einzelner Halbleitermodule voneinander getrennt. Dazu wird die Wafer-Scheibe in einem Sägerahmen angeordnet, in dem eine adhäsive Folie gespannt ist. Die Wafer-Scheibe haftet mit ihrer Rückseite auf der Folie, so daß auch die Bauteile nach einem anschließenden Sägevorgang – durch mit dem Sägevorgang erzeugte Fugen voneinander getrennt – auf der Folie haften bleiben. Anschließend müssen die vereinzelten Bauteile von der Folie abgenommen und auf einem Bauteilträger positioniert bzw. fixiert werden. Diese Schritte bezeichnet man auch als "Pick and Place" bzw. "Die-Bonden". Dabei besteht die Schwierigkeit, das Bauteil unter möglichst geringer mechanischer Belastung zu handhaben und die Funktionsfähigkeit beeinträchtigende mechanische Beschädigungen zu vermeiden. Dazu wird beispielsweise ein Vakuum-Saugrüssel verwendet.

Aus der EP-0 565 781 A1 geht in diesem Zusammenhang die Verwendung einer Pickup-Nadel vor, die durch eine Adhäsivfolie eines Sägerahmens zur Verminderung der Adhäsionskräfte gegen die Unterseite oder Rückseite eines Bauteiles drückt, das zuvor durch Sägen von der Frontseite der Wafer-Scheibe her aus dem Scheibenverband vereinzelt wurde. Das Bauteil wird aus der gemeinsamen Ebene der übrigen Bauteile herausgehoben, wobei sich die Trägerfolie löst und ein Saugrüssel mit vergleichsweise geringer Saugkraft zum Weitertransport und zum Positionieren des Bauteiles ausreicht.

Im Hinblick auf die durch die Pickup-Nadel zu befürchtende Beschädigung der Bauteilrückseite wird in der älteren Deutschen Patentanmeldung vom 20. 11. 1996 mit dem amtlichen Aktenzeichen 196 48 072.8 vorgeschlagen, auf der der Trägerfolie zugewandten Rückseite des Halbleiter-Bauteils bzw. der ursprünglichen Wafer-Scheibe eine Schutzschicht aufzutragen.

Dies erhöht den Fertigungsaufwand zusätzlich und ist insbesondere im Hinblick auf den Trend zu immer dünner werdenden Bauteilen (ultradünne chips) problematisch. Weiterhin erfordern die vorbeschriebenen bekannten Verfahren ein zeitaufwendiges Greifen, Transportieren und Plazieren der vereinzelten Halbleiter-Bauteile. Dies erhöht die Taktzeiten und setzt die Bauteile zusätzlichen mechanischen Belastungen aus.

Die Aufgabe der Erfindung besteht in der Schaffung eines Verfahrens zum Vereinzen und Positionieren von Halbleiter-Bauteilen, das bei einer einfachen und kostengünstigen Verfahrensdurchführung insbesondere auch für besonders dünne Halbleiter-Bauteile geeignet ist.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren zum Vereinzen und Positionieren von Halbleiter-Bauteilen, die zunächst im Verbund in einer Wafer-Scheibe gemeinsam bearbeitet wurden, bei dem die bereits strukturierte Frontseite der Wafer-Scheibe lösbar auf einer Trägerfolie befestigt wird, die Wafer-Scheibe von der Rückseite her zur Vereinzelung der Halbleiter-Bauteile gesägt wird, die Wafer-Scheibe derart positioniert wird, daß sich zumindest jeweils ein Bauteil über einem zugeordneten Bauteilträger befindet, und das jeweilige Bauteil mit einem auf die

Trägerfolie wirkenden Stempel auf den Bauteilträger gedrückt wird.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß eine weitestgehend umfassende Behandlung der Wafer-Scheibe ausschließlich auf einem einzigen Träger – nämlich mit der Trägerfolie – von der Rückseite aus ermöglicht wird. Besonders vorteilhaft kann die Rückseite der mit ihrer Frontseite bereits auf der Trägerfolie befestigten Wafer-Scheibe abgeschliffen werden, um die Dicke der Wafer-Scheibe weiter zu vermindern (sog. Wafer-Dünnen). Dieser Prozeß wird allgemein auch als Wafer-Schleifen oder Grinden bezeichnet.

Danach kann die bereits fixierte Wafer-Scheibe von der Rückseite her zur Vereinzelung der Halbleiter-Bauteile gesägt werden, ohne daß es einer erneuten Scheibenfixierung bedarf. Anschließend erfolgt der gegenüber den vorbeschriebenen Verfahren wesentlich vereinfachte Prozeß des Die-Bondens, indem die Wafer-Scheibe vorzugsweise oberhalb eines Modulträgerbandes (Leadframe-Band), das als Substrat dient, präzise gemäß der Anordnung der Bauteile in der Wafer-Scheibe "wafermaggerecht" positioniert wird. Anschließend wird das individuelle Halbleiter-Bauteil mit dem auf die andere, freie Seite der Folie wirkenden Stempel auf das Substrat gedrückt. Dabei ist ein Durchstoßen der Trägerfolie nicht erforderlich, so daß keine punktuelle, zum Bruch dünner chips führende mechanische Belastung auftritt.

Nach einer vorteilhaften Ausgestaltung des erfindungsgemäßen Verfahrens wird auf das jeweilige Bauteil mit einer ebenen Kontaktfläche des Stempels gedrückt. Dies hat eine weitere Vergleichmäßigung der auf das Halbleiter-Bauteil ausgeübten Druckkräfte zur Folge, so daß eine besonders schonende Ablösung des Bauteils von der Trägerfolie und ein belastungssamer Transfer auf den Bauteilträger ermöglicht wird. Besonders bevorzugt kann dazu der Bauteilträger mit einer Adhäsionsschicht beschichtet sein, deren Adhäsion größer als die der Trägerfolie ist.

In diesem Zusammenhang sieht eine besonders bevorzugte Ausgestaltung des erfindungsgemäßen Verfahrens vor, daß die Trägerfolie auf ihrer dem Bauteil zugewandten Seite mit einer Klebstoffschicht versehen ist, deren Adhäsion bedarfswise durch Lichtzufuhr vermindert werden kann. Dadurch kann nämlich das Ablösen des Halbleiter-Bauteils von der Trägerfolie bedarfsgerecht unterstützt werden.

Eine fertigungstechnisch besonders bevorzugte Fortbildung des Verfahrens sieht dabei vor, daß das Licht durch den Stempel zugeführt wird.

Die Durchführung des erfindungsgemäßen Verfahrens wird beispielhaft nachfolgend anhand einer Figur weiter erläutert.

Die Figur zeigt mehrere Halbleiter-Bauteile 1, die ursprünglich Bestandteil einer gemeinsamen Wafer-Scheibe S waren und in dieser zunächst gemeinsam bearbeitet und strukturiert worden sind. Die Frontseite der bearbeiteten ursprünglichen Wafer-Scheibe und damit die Frontseiten 2 der Halbleiter-Bauteile (chips) 1 sind lösbar auf einer gemeinsamen Trägerfolie 5 befestigt. Die zwischen den Chips 1 bestehenden Fugen 7 sind zuvor zwecks Vereinzelung der Bauteile 1 durch an sich bekanntes Sägen oder Trennen z. B. mittels Laser der (nicht vollständig gezeigten) Wafer-Scheibe S erzeugt worden. Ein dazu geeignetes Sägeverfahren ist beispielsweise in der EP 0 734 824 A2 offenbart. Dabei wurde die Wafer-Scheibe S von ihrer Rückseite 8 her zur Erzeugung der Fugen 7 zwecks Vereinzelung der Bauteile gesägt.

Die Trägerfolie 5 wird anschließend (wie durch Pfeile A-B angedeutet) derart positioniert, daß sich zumindest ein

Bauteil 13 über einem ihm zugeordneten Bauteilträger 14 befindet. Der Bauteilträger kann in an sich bekannter Weise Bestandteil (Insel) eines Leadframes oder eines Substrats sein, das Teil eines Leadframebandes oder Modulträgerbandes 15 sein kann. Die Positionierung des Bauteils 13 erfolgt 5 entsprechend seiner individuellen, bekannten Position in der ursprünglichen Wafer-Scheibe (d. h. sog. wafermapgerecht). Das Bauteil 13 wird von oben mit der ebenen Kontaktseite 16 eines auf die Trägerfolie 5 wirkenden Stempels 18 mit seiner Unterseite 19 auf eine Klebstoffschicht 22 des 10 Bauteilträgers 14 gedrückt. Der Stempel 18 ist dazu – wie durch Pfeile C-D angegedeutet – relativ zu dem Bauteilträger 14 vertikal verfahrbar. Dabei wird dafür gesorgt, daß die 15 Adhäsion zwischen der Klebstoffschicht 22 und der Rückseite 19 größer ist als die Adhäsion, die zwischen der Trägerfolie 5 und der Frontseite 2 des Bauteils 13 besteht.

Besonders bevorzugt kann eine Trägerfolie 5 mit einer Klebstoffschicht 23 verwendet werden, deren Adhäsion gegenüber dem Bauteil 13 dadurch vermindert werden kann, daß die Folie 5 mit Licht 24 einer geeigneten Wellenlänge 20 (z. B. UV-Licht) bestrahlt wird. Die Lichtbestrahlung führt zu einer zum Zeitpunkt des Bauteiltransfers von der Trägerfolie 5 auf das Substrat 14 gewünschten Verminderung der Adhäsion und damit zu einem besonders einfachen Ablösen der Trägerfolie 5 von der Frontseite 2 des Bauteils 13. Besonders bevorzugt kann das Licht 24 durch Lichtwellenleiter 25 26 zugeführt werden, die durch den Stempel 18 führen und an der Kontaktfläche 16 enden.

Mit dem erfindungsgemäßen Verfahren wird vorteilhaftweise die Anzahl der notwendigen Prozeßschritte vom 30 Wafer-Dünnen bis zum Die-Bonden minimiert. Dies führt zu erheblichen Einsparungen bei den Prozeßkosten, insbesondere weil Prozeßschritte für das Laminieren und wieder Abtrennen der Wafer-Scheibe von weiteren Träger- oder Schutzfolien vor dem Wafersägen eingespart werden können. Die Verfahrwege und Bewegungen für das Die-Bonden werden minimiert. Das bei bekannten Verfahren notwendige 35 Abnehmen und Positionieren des Bauteiles ("Pick and Place") entfällt, wodurch weitere Kosteneinsparungen realisiert werden können. Das ganzflächige Herabdrücken des 40 Bauteils auf das Substrat unter vollständiger Zwischenlage der Trägerfolie ermöglicht eine besonders schonende Handhabung der Bauteile. Insbesondere ist kein Durchstoßen der Trägerfolie mit Nadeln oder ähnlichen Ablösehilfen erforderlich. Insgesamt führt das erfindungsgemäße Verfahrens 45 damit zu einer erheblichen Verkürzung der Gesamtdurchlaufzeit, verminderten Ausrüstungskosten und einer besonders schonenden Bauteilbehandlung, aus der eine Erhöhung der Ausbeute und Qualität vor allem bei dünnen Wafer-Scheiben bzw. Bauteilen resultiert.

5

10

15

20

25

30

35

40

45

50

55

60

65

70

75

80

85

90

95

100

105

110

115

120

125

130

135

140

145

150

155

160

165

170

175

180

185

190

195

200

205

210

215

220

225

230

235

240

245

250

255

260

265

270

275

280

285

290

295

300

305

310

315

320

325

330

335

340

345

350

355

360

365

370

375

380

385

390

395

400

405

410

415

420

425

430

435

440

445

450

455

460

465

470

475

480

485

490

495

500

505

510

515

520

525

530

535

540

545

550

555

560

565

570

575

580

585

590

595

600

605

610

615

620

625

630

635

640

645

650

655

660

665

670

675

680

685

690

695

700

705

710

715

720

725

730

735

740

745

750

755

760

765

770

775

780

785

790

795

800

805

810

815

820

825

830

835

840

845

850

855

860

865

870

875

880

885

890

895

900

905

910

915

920

925

930

935

940

945

950

955

960

965

970

975

980

985

990

995

1000

1005

1010

1015

1020

1025

1030

1035

1040

1045

1050

1055

1060

1065

1070

1075

1080

1085

1090

1095

1100

1105

1110

1115

1120

1125

1130

1135

1140

1145

1150

1155

1160

1165

1170

1175

1180

1185

1190

1195

1200

1205

1210

1215

1220

1225

1230

1235

1240

1245

1250

1255

1260

1265

1270

1275

1280

1285

1290

1295

1300

1305

1310

1315

1320

1325

1330

1335

1340

1345

1350

1355

1360

1365

1370

1375

1380

1385

1390

1395

1400

1405

1410

1415

1420

1425

1430

1435

1440

1445

1450

1455

1460

1465

1470

1475

1480

1485

1490

1495

1500

1505

1510

1515

1520

1525

1530

1535

1540

1545

1550

1555

1560

1565

1570

1575

1580

1585

1590

1595

1600

1605

1610

1615

1620

1625

1630

1635

1640

1645

1650

1655

1660

1665

1670

1675

1680

1685

1690

1695

1700

1705

1710

1715

1720

1725

1730

1735

1740

1745

1750

1755

1760

1765

1770

1775

1780

1785

1790

1795

1800

1805

1810

1815

1820

1825

1830

1835

1840

1845

1850

1855

1860

1865

1870

1875

1880

1885

1890

1895

1900

1905

1910

1915

1920

1925

1930

1935

1940

1945

1950

1955

1960

1965

1970

1975

1980

1985

1990

1995

2000

2005

2010

2015

2020

2025

2030

2035

2040

2045

2050

2055

2060

2065

2070

2075

2080

2085

2090

2095

2100

2105

2110

2115

2120

2125

2130

2135

2140

2145

2150

2155

2160

2165

2170

2175

2180

2185

2190

2195

2200

2205

2210

2215

2220

2225

2230

2235

2240

2245

2250

2255

2260

2265

2270

2275

2280

2285

2290

2295

2300

2305

2310

2315

2320

2325

2330

2335

2340

2345

2350

2355

2360

2365

2370

2375

2380

2385

2390

2395

2400

2405

2410

2415

2420

2425

2430

2435

2440

2445

2450

2455

2460

2465

2470

2475

2480

2485

2490

2495

2500

2505

2510

2515

2520

2525

2530

2535

2540

2545

2550

2555

2560

2565

2570

2575

2580

2585

2590

2595

2600

2605

2610

2615

2620

2625

2630

2635

2640

2645

2650

2655

2660

2665

2670

2675

2680

2685

2690

2695

2700

2705

2710

2715

2720

2725

2730

2735

2740

2745

2750

2755

2760

2765

2770

2775

2780

2785

2790

2795

2800

2805

2810

2815

2820

2825

2830

2835

2840

2845

2850

2855

2860

2865

2870

2875

2880

2885

2890

2895

2900

2905

2910

2915

2920

2925

2930

2935

2940

2945

2950

2955

2960

2965

2970

2975

2980

2985

2990

2995

3000

3005

3010

3015

3020

3025

3030

3035

3040

3045

3050

3055

3060

3065

3070

3075

3080

3085

3090

3095

3100

3105

3110

3115

3120

3125

3130

3135

3140

3145

3150

3155

3160

3165

3170

3175

3180

3185

3190

3195

3200

3205

3210

3215

3220

3225

3230

3235

3240

3245

3250

3255

3260

3265

3270

3275

3280

3285

3290

3295

3300

3305

3310

3315

3320

3325

3330

3335

3340

3345

3350

3355

3360

3365

3370

3375

3380

3385

3390

3395

3400

3405

3410

3415

3420

3425

3430

3435

3440

3445

3450

3455

3460

3465

3470

3475

3480

3485

3490

3495

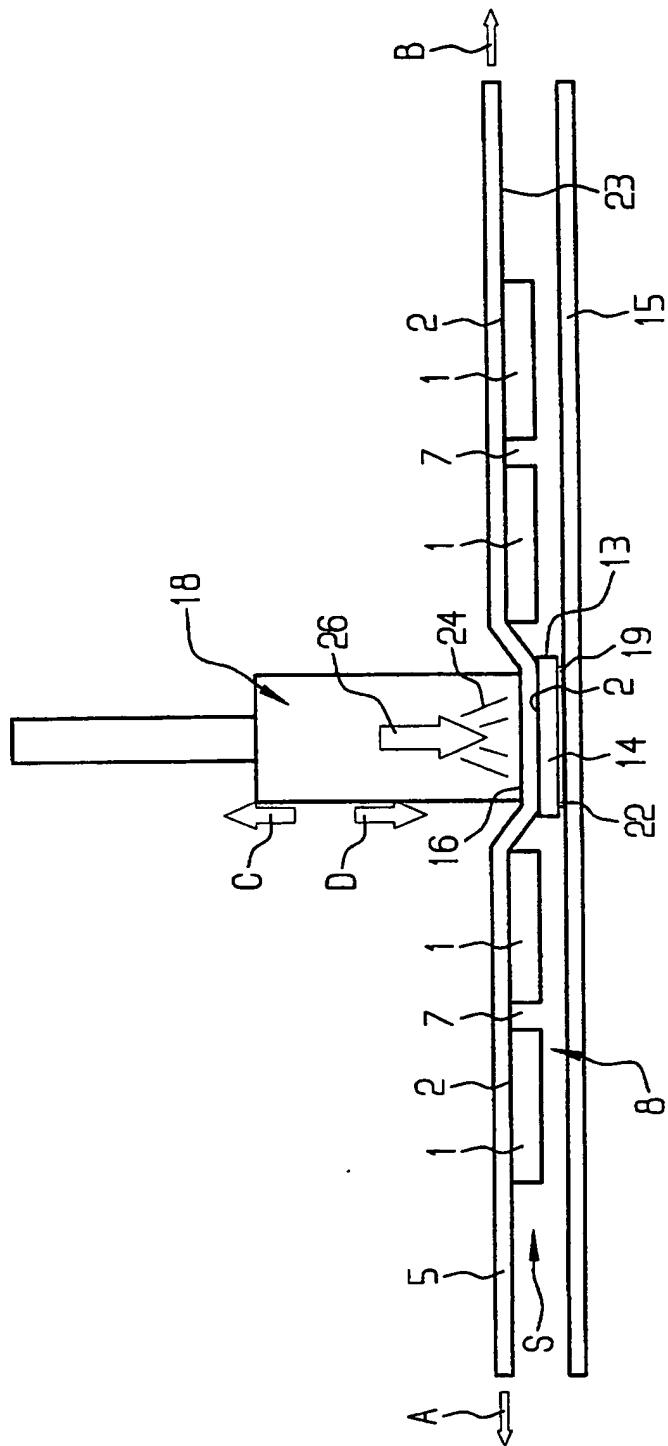
3500

3505

3510

3515

<p style="text



Semiconductor element separation and positioning method

Patent Number: DE19822512
Publication date: 1999-10-21
Inventor(s): FERSTL KLEMENS (DE); TUTSCH GUENTER (DE); FISCHBACH REINHARD (DE); MERKL REINHOLD (US)
Applicant(s): SIEMENS AG (DE)
Requested Patent: DE19822512
Application Number: DE19981022512 19980519
Priority Number(s): DE19981022512 19980519
IPC Classification: H01L21/78; H01L21/58; H01L21/60; H05K13/02
EC Classification: H01L21/00S2P
Equivalents:

Abstract

The semiconductor element separation and positioning method uses a carrier foil (5) to which a number of semiconductor elements (S) are temporarily attached, positioned to bring at least one component (13) into alignment with a component carrier (14). The component is then separated from the foil by a die stamp (18) acting against the rear side of the latter. The components may be secured to the carrier foil by an adhesive layer (23) with its adhesion characteristics reduced upon application of energy via the die stamp, for removal of the positioned component.

Data supplied from the esp@cenet database - I2

DOCKET NO: MAS-FN-207
SCHIAL NO: _____
APPLICANT: J. Högerl et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100